

PAT-NO: JP02002280490A

DOCUMENT-IDENTIFIER: JP 2002280490 A

TITLE: CIRCUIT BOARD AND ITS MANUFACTURING  
METHOD AS WELL AS SEMICONDUCTOR DEVICE USING THE SAME

PUBN-DATE: September 27, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
OMOTE, KOJI	N/A
TANIGUCHI, OSAMU	N/A
IMANAKA, YOSHIHIKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP2001081565

APPL-DATE: March 21, 2001

INT-CL (IPC): H01L023/14, H05K001/11

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a circuit board (particularly an interposer) capable of dealing with mounting of an LSI operating at a high speed and facilitating multilayering and further repairing after mounting.

SOLUTION: The circuit board comprises a board 1 made of Si, an electrode 2 surface exposing on the first surface 1a of the board 1, and holes 4 opened at the second surface 1b of the board 1 and arriving at the

electrode 2. Each hole 4 has a taper gradually enlarging in a bore diameter from the first surface 1a side to the vicinity of the opening of the second surface 1b, and a reverse taper reducing in the bore diameter near the opening of the second surface 1b. The inner wall of the hole 4 is covered with a conductor film 6 via an insulating film 5. The film 6 is in a continuity with the electrode 2. The board also comprises conductor balls 8 connected to the film 6 in the holes 4 and partly protruding from the second surface 1b.

COPYRIGHT: (C)2002, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-280490  
(P2002-280490A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

H 0 1 L 23/14

H 0 5 K 1/11

H 5 E 3 1 7

H 0 5 K 1/11

H 0 1 L 23/14

S

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2001-81565(P2001-81565)

(22) 出願日 平成13年3月21日 (2001.3.21)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 表 孝司

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 谷口 修

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100072590

弁理士 井桁 貞一

最終頁に続く

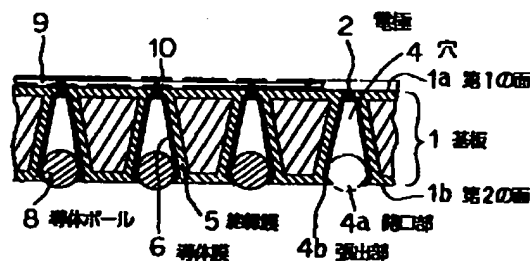
(54) 【発明の名称】 配線基板とその製造方法並びにそれを用いた半導体装置

(57) 【要約】

【課題】 高速で動作するLSIの実装に対応できるとともに多層化が容易であり、更に実装後の補修が容易な配線基板（特にインターポーザ）を提供する。

【解決手段】 Siからなる基板1と、基板1の第1の面1aに表出する電極2と、基板1の第2の面1bに開口し電極2に達する穴4とを有し、この穴4は第1の面1a側から第2の面1bの開口部近傍にかけて口径が徐々に拡大するテーパを、第2の面1bの開口部近傍では口径が縮小する逆テーパをそれぞれ有し、穴4内壁は絶縁膜5を介して導体膜6が被着されており、導体膜6は電極2と導通しており、穴4内で導体膜6と接合し且つ一部が第2の面1bより突出する導体ボール8を有する配線基板とする。

本発明のインターポーザの第1の実施の形態を示す要部断面図



## 【特許請求の範囲】

【請求項1】 第1の面と第2の面を有するシリコンからなる基板と、前記第1の面に表出する電極と、前記基板に設けられ前記第2の面に開口し前記電極に達する穴と、を有し、前記穴は、前記第1の面側から前記第2の面の開口部近傍にかけて口径が徐々に拡大するテーパを有し、前記第2の面の開口部近傍において口径が縮小する逆テーパを有し、前記穴の内壁は、絶縁膜で被覆された上に、更に導体膜で被覆されており、前記導体膜は前記電極と導通していることを特徴とする配線基板。

【請求項2】 前記穴内で前記導体膜と接合し且つ一部が前記第2の面より突出する導体ボールを有することを特徴とする請求項1記載の配線基板。

【請求項3】 第1の面と第2の面を有するシリコンからなる基板の前記第1の面に電極を形成する工程と、前記基板を前記第2の面側から選択的にエッチングして前記電極に達する穴を、前記第1の面側から前記第2の面の開口部近傍にかけて口径が徐々に拡大するテーパを有し、前記第2の面の開口部近傍で口径が縮小する逆テーパを有するように形成する工程と、前記穴の内壁に絶縁膜を形成する工程と、前記絶縁膜上及び前記電極上に導体膜を被着する工程と、を有することを特徴とする配線基板の製造方法。

【請求項4】 前記基板に形成され前記導体膜が被着された前記穴内に導体ペーストを充填する工程と、前記導体ペーストを加熱溶融して前記穴内で前記導体膜と接合し且つ一部が前記第2の面より突出する導体ボールを形成する工程と、を有することを特徴とする請求項3記載の配線基板の製造方法。

【請求項5】 前記基板の第1の面上に前記電極と導通する接続パッドを含む薄膜回路層を形成する工程と、前記基板内に形成され前記導体膜が被着された前記穴内に導体ペーストを充填する工程と、前記基板複数枚を、一の前記基板の前記導体ペーストが他の一の前記基板の接続パッドと対向するように順次積み重ねる工程と、総ての前記導体ペーストを加熱溶融して積み重ねた複数枚の前記基板を相互に結合するとともに最下段の前記基板の前記穴内に一部が前記第2の面より突出する導体ボールを形成する工程と、を有することを特徴とする請求項3記載の配線基板の製造方法。

【請求項6】 配線基板に半導体チップを搭載してなる半導体装置であって、前記配線基板は、第1の面と第2の面を有するシリコンからなる基板と、前記第1の面に表出する電極と、前記基板に設けられ前記第2の面に開口し前記電極に達する穴とを有し、前記穴は、前記第1の面側から前記第2の面の開口部近傍にかけて口径が徐々に拡大するテーパを有し、前記第2の面の開口部近傍において口径が縮小する逆テーパを有し、前記穴の内壁は、絶縁膜で被覆された上に、更に導体膜で被覆されており、前記導体膜は前記電極と導通していることを特徴

とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、配線基板、特にLSIチップをマザーボード等へ実装するために両者の間に介在させるインターポーザ（中間層）となる配線基板とその製造方法、並びにその配線基板を用いた半導体装置に関する。

## 【0002】

10 【従来の技術】LSIのベアチップをマザーボード等の回路基板に実装する際、両者の間にインターポーザを介在させる。近年、LSIの動作周波数の高周波化に伴い、スイッチング・ノイズに起因する誤動作を防ぐために電源系統にキャパシタを挿入するようになり、特に動作周波数の高いLSIの場合には配線長を極力短くしてインピーダンス成分を減らすために、このキャパシタをインターポーザに内蔵させることが行われている。このようなインターポーザの例を図を用いて説明する。

20 【0003】図7は従来例を示す要部断面図である。同図において、31は熱膨張率がLSIチップのSiに近似のセラミック（例えば窒化アルミ系）からなる基板、32はビア、33、36はバンパ、34は薄膜構造からなるキャパシタ、35は接続パッドである。バンパ33はこのインターポーザを回路基板に搭載するためのものであり、半田ボール等を外付けしたものである。バンパ36はLSIチップを搭載するためのもの、若しくは搭載したLSIチップのバンパである。

## 【0004】

30 【発明が解決しようとする課題】以上説明した従来のインターポーザは基板がセラミックであるから、焼成時の収縮率の制御が難しく、ビアのピッチの微小化が困難である上、焼成後に表面の研磨を行っても表面の平坦性や平滑性が十分ではなく、表面上に微細な薄膜構造のキャパシタ等を精度良く形成することが困難である、という問題があった。また、基板裏面に外付けで設けたバンパは基板裏面から大きく突出しているから、回路基板と接続した状態やこのインターポーザを積み重ねた状態では配線長が長くなって高速で動作するLSIの実装に対応しにくい上、インターポーザに半導体チップを搭載して

40 なる半導体装置を不良修理のために回路基板から外す際にバンパが損傷を受けたり脱落する等の欠陥を生じ易い、という問題があった。

## 【0005】

50 【0005】本発明は、このような問題を解決して、高速で動作するLSIの実装に対応できるとともに多層化が容易であり、更に実装後の補修が容易なインターポーザとその製造方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】この目的を達成するため、本発明においては、Siからなり第1の面と第2の面を有する基板と、第1の面に表出する電極と、基板に

設けられ第2の面に開口し電極に達する穴とを有し、穴は第1の面側から第2の面の開口部近傍にかけて口径が徐々に拡大するテーパを有し、第2の面の開口部近傍において口径が縮小する逆テーパを有し、穴の内壁は、絶縁膜で被覆された上に更に導体膜で被覆されており、導体膜は電極と導通している配線基板とし、また、Siからなる基板の第1の面に電極を形成した後、第2の面側から基板をドライエッチング法により選択的にエッチングして電極に達する穴を、その開口部近傍で急な逆テーパが付いて張出部を生じ、それより深部で緩い順テーパが付くように形成し、次に穴の内壁に絶縁膜を形成した後、絶縁膜上及び電極上に導体膜を被着し、その後、穴内に導体ペーストを充填し、これを加熱溶融して導体ボールを第2の面から一部が突出するように形成する、という配線基板の製造方法としている。

【0007】即ち、基板がSiであるから、その表面上に微細な薄膜構造のキャパシタ等を精度良く形成することができる。また、基板内部に形成された導体ボールの基板面からの突出部分がバンパとなっていて突出高さが低いから、バンパ接合時の配線長が短縮され、従って、高速で動作するLSIの実装に対応できるとともに多層化が容易となる。また、この導体ボールの大部分が基板内に設けられた穴内で基板と接合しており、しかも穴の開口部に張出部があるから、実装後に補修のために、このインターポーザに半導体チップを搭載してなる半導体装置をマザーボード等の回路基板から外しても、バンパが脱落する等のトラブルを生じにくい。

【0008】

【発明の実施の形態】以下、本発明の実施の形態を、図を参照しながら説明する。

【0009】図1は本発明のインターポーザの第1の実施の形態を示す要部断面図である。基板1はSiからなり、その第1の面1aには上から見ると島状の電極2が点在している。基板1内にはその第2の面1b（第1の面1aの反対面）側の電極2に対応する位置に開口し且つ電極2に達する穴4が形成されている。この穴4は開口部4a近傍では比較的急な逆テーパが付いていて、開口部4aより僅かに内側で最大径となっており、それより深部では電極2に向けて徐々に縮径するように順テーパが付いている。さらに、基板1にはこの開口部4aの周囲に張出部4bが形成されている。

【0010】穴4の内壁には絶縁膜5を介して導体膜6が被着されており、この導体膜6は電極2と導通している。この穴4内には導体膜6と接合して開口部4aを塞ぎ且つその一部が第2の面1bから突出するように導体ボール8が設けられている。この導体ボール8は導体膜6を介して電極2と導通しており、第2の面1bからの突出部分がバンパとなっている。尚、導体ボール8を第2の面1bから突出させるために、穴4の最大径となる位置の第2の面1bからの距離（深さ）は、最大径の半

分より十分に小さい。基板1の第1の面1a上には、必要に応じ、キャパシタや配線等の薄膜回路層9が設けられており、その表面には接続パッド10が設けられている。

【0011】導体ボール8の材質としては、Sn、Au、Ag、Cu、Sb、Bi、In、Cd、Alやこれらの合金が、また、導体膜6及び接続パッド10の材質としてはTi、Pt、Au、Al、W、Cu、Ni、Cr、Ru、RuO<sub>2</sub>系、Ir、IrO<sub>2</sub>系等が用いられる。

【0012】図2は本発明のインターポーザの製造方法を示す要部断面図である。先ず図2(a)に示すように、Siからなる基板1の第1の面1aを酸化して絶縁膜を形成し、その中に島状に点在する電極2を形成した後、第2の面1bにレジストを塗布・パターンニングしてレジスト膜3を形成する。更にそのレジスト膜3をマスクとして基板1を第2の面1b側から異方性ドライエッチング法で選択的にエッチングし、電極2に達する穴4を形成する。この際、第1の面1aに形成した絶縁膜がエッチングのストップとなる。この穴4はアスペクト比が大きいので、オーバーエッチングとなる条件でエッチングすることにより、開口部4aの近傍では急な逆テーパが付くように基板1がサイドエッチされて開口部4aの周囲に張出部4bが形成され、それより深部では穴底に向けて徐々に縮径するように順テーパが付く。

【0013】次に図2(b)に示すように、レジスト膜3を除去した後、基板1の穴4内壁部分に絶縁膜5を形成する。この絶縁膜5は熱拡散法やCVD法による酸化膜や窒化膜、或いは、塗布法によるPSG膜である。次に図2(c)に示すように、絶縁膜5を形成した穴4内壁の全面に導体膜6を被着する。導体膜6は穴4の底部に露出している電極2とも接合する。この導体膜6はCVD法、めっき法、塗布焼成法、充填焼成法等により形成される。

【0014】次に図2(d)に示すように、前述の穴4内に導体ペースト7を充填する。その後前述の導体ペースト7を加熱溶融すると、その表面張力により、図2(e)に示すように、導体ボール8が形成される。導体ボール8はその一部が基板1の第2の面1bから突出する。この導体ボール8は必ずしも球形になるとは限らず、穴4の形状や導体ペースト7の充填量等の条件によっては変形したボールとなる。尚、図2(c)に示す導体膜6の被着工程を経ずに図2(d)に示す導体ペースト7の充填工程を実行することも可能である。

【0015】その後、必要に応じ、第1の面1a上にキャパシタや配線等の薄膜回路層9を公知の技術で形成し、その表面には接続パッド10をCVD法、スパッタ法、蒸着法、塗布焼成法、印刷焼成法等により形成する。これで、図1に示したインターポーザが完成する。

【0016】以上の製造方法の実施例を以下に説明す

る。厚さ 300 $\mu$ m の Si 基板の第1の面側に酸化膜を形成し、第2の面側から角穴パターンを持つレジスト膜をマスクとして誘導結合型プラズマエッチング装置によりドライエッチングして穴を形成した。この穴は、深さが約 280 $\mu$ m、開口部（若干角張った円形）の径が約 95 $\mu$ m、最大径が約 125 $\mu$ m、最大径部の位置が第2の面から深さで約 20 $\mu$ m、底部の径が約 50 $\mu$ m であった。次に 1000℃ のウェット O<sub>2</sub> 雰囲気中で 1 時間加熱して穴内壁に約 1000 Å の酸化膜を形成した後、この穴内に Au ペーストを充填して 500℃ で 30 分加熱して上記酸化膜上に約 500 Å の導体膜を焼成した。また、充填した Au ペーストを 1000℃ で 30 分加熱後冷却して直径約 120 $\mu$ m の導体ボールを得た。

【0017】図3は図2の製造方法の変形例を示す要部断面図である。前述の図2(c)に示した導体膜被着工程の後に、図3(a)に示すように穴4の中間部から底部にかけて導体膜6上に濡れ防止膜11を被着する。この濡れ防止膜11は加熱溶融した導体ペーストが濡れ難い膜であり、導体ペーストの材質にもよるが、例えば、酸化 Si や窒化 Si である。この膜はスパッタ法により、穴4の中間部から底部の範囲だけに被着させることができる。次に図3(b)に示すように穴4内に導体ペースト7を充填し、その後この導体ペースト7を加熱溶融すると溶融した導体ペースト7は導体膜6が露出する開口部寄りに集中し易くなり、図3(c)に示すように導体ボール8が歩留り良く形成される。

【0018】図4は本発明のインターポーザの第2の実施の形態を示す要部断面図である。これは図1における導体ボール8がないものに相当する。基板1は Si からなり、その第1の面1aには島状の電極2が点在し、基板1内にはその第2の面1b側の電極2に対応する位置に開口し且つ電極2に達する穴4が形成されている。この穴4の開口部4aの周囲には基板1の張出部4bが形成されている。穴4は基板1の第2の面1bより僅かに内側で最大径となっており、それより深部では電極2に向けて徐々に縮径するように順テーパが付いている。穴4の内壁には絶縁膜5を介して導体膜6が被着されており、この導体膜6は電極2と導通している。薄膜回路層9と接続パッド10は、必要に応じて設けられる。

【0019】このインターポーザを製造するには、先に図2に示した製造方法において、図2(d)及び(e)の工程を省略すればよい。このインターポーザは、回路基板に実装する際に穴4内に導体ペーストを充填し（図2(d)に相当する）、これを回路基板に重ねて加熱することになるから、図2(e)に相当するバンパ形成工程が不要となる。また、導体ペーストの材質をインターポーザのユーザが適宜に選択することができるというメリットもある。

【0020】図5は本発明のインターポーザの第3の実施の形態を示す要部断面図である。これは図1に示した

インターポーザ複数個を重ねて結合した多層タイプのインターポーザである。即ち、第1のインターポーザ21は図1に示したインターポーザ同様、導体膜6が被着された穴4内に導体ボール8が形成されており、その一部が第2の面1bより突出してバンパとなっている。一方、第2のインターポーザ22には導体膜6が被着された穴4内に導体ボール8Aが形成されており、導体ボール8Aは第1のインターポーザ21の薄膜回路層9上の接続パッド10と結合している。第1のインターポーザ21と第2のインターポーザ22の間には隙間はほとんどない。

【0021】このような多層タイプのインターポーザは、図4に示したと同様のインターポーザ複数個の各穴4に導体ペーストを充填し、第1のインターポーザ21の接続パッド10が第2のインターポーザ22の導体ペーストと対向するように順次積み重ね、総ての導体ペーストを加熱溶融することにより、製造する。

【0022】図6は本発明のインターポーザの第4の実施の形態を示す要部断面図である。これは図5に示したインターポーザと同様、多層タイプのインターポーザであるが、この場合の個々のインターポーザ、即ち、第1のインターポーザ23及び第2のインターポーザ24には、図5に示したインターポーザにおける接続パッド10に代えてピン付パッド12が形成されており、第1のインターポーザ23のピン付パッド12が第2のインターポーザ24の導体ボール8B内に食い込む形で着着して、両者の結合を強めている。

【0023】このインターポーザは図5に示したインターポーザと同様にして製造することができるが、第2のインターポーザ24の穴に導体ペーストを充填する際、その充填表面に第1のインターポーザ23のピン付パッド12と嵌合する窪みを設けるとよい。

【0024】上述した第1乃至第4の実施形態の各インターポーザは、いずれもその一方の面に LSI チップを搭載接続することで、チップサイズパッケージ(CSP)の半導体装置となる。この半導体装置がマザーボード等の回路基板に実装されて、回路モジュールとなる。

【0025】尚、以上の説明では、配線基板を Si 基板を使用したインターポーザに限定したが、Si 基板を使用したものであれば、インターポーザ以外の配線基板、回路基板についても、本発明は有効である。

【0026】本発明は以上の実施の形態を含め、種々の形態で実施することができる。以下、それを付記として例示する。

【0027】(付記1) 第1の面と第2の面を有するシリコンからなる基板と、前記第1の面に表出する電極と、前記基板に設けられ前記第2の面に開口し前記電極に達する穴と、を有し、前記穴は、前記第1の面側から前記第2の面の開口部近傍にかけて口径が徐々に拡大するテーパを有し、前記第2の面の開口部近傍において口

径が縮小する逆テーパを有し、前記穴の内壁は、絶縁膜で被覆された上に、更に導体膜で被覆されており、前記導体膜は前記電極と導通していることを特徴とする配線基板。

【0028】(付記2) 前記穴内で前記導体膜と接合し且つ一部が前記第2の面より突出する導体ボールを有することを特徴とする付記1記載の配線基板。

【0029】(付記3) 第1の面と第2の面を有するシリコンからなる基板の前記第1の面に電極を形成する工程と、前記基板を前記第2の面側から選択的にエッチングして前記電極に達する穴を、前記第1の面側から前記第2の面の開口部近傍にかけて口径が徐々に拡大するテーパを有し、前記第2の面の開口部近傍において口径が縮小する逆テーパを有するように形成する工程と、前記穴の内壁に絶縁膜を形成する工程と、前記絶縁膜上及び前記電極上に導体膜を被着する工程と、を有することを特徴とする配線基板の製造方法。

【0030】(付記4) 前記基板に形成され前記導体膜が被着された前記穴内に導体ペーストを充填する工程と、前記導体ペーストを加熱溶融して前記穴内で前記導体膜と接合し且つ一部が前記第2の面より突出する導体ボールを形成する工程と、を有することを特徴とする付記3記載の配線基板の製造方法。

【0031】(付記5) 前記基板の第1の面上に前記電極と導通する接続パッドを含む薄膜回路層を形成する工程と、前記基板内に形成され前記導体膜が被着された前記穴内に導体ペーストを充填する工程と、前記基板複数枚を、一の前記基板の前記導体ペーストが他の一の前記基板の接続パッドと対向するように順次積み重ねる工程と、総ての前記導体ペーストを加熱溶融して積み重ねた複数枚の前記基板を相互に結合するとともに最下段の前記基板の前記穴内に一部が前記第2の面より突出する導体ボールを形成する工程と、を有することを特徴とする付記3記載の配線基板の製造方法。

【0032】(付記6) 配線基板に半導体チップを搭載してなる半導体装置であって、前記配線基板は、第1の面と第2の面を有するシリコンからなる基板と、前記第1の面に表出する電極と、前記基板に設けられ前記第2の面に開口し前記電極に達する穴とを有し、前記穴は、前記第1の面側から前記第2の面の開口部近傍にかけて口径が徐々に拡大するテーパを有し、前記第2の面の開口部近傍において口径が縮小する逆テーパを有し、前記穴の内壁は、絶縁膜で被覆された上に、更に導体膜で被覆されており、前記導体膜は前記電極と導通していることを特徴とする半導体装置。

【0033】(付記7) 付記1記載の配線基板において、前記基板の第1の面上に前記電極と導通する接続パッドを含む薄膜回路層を有することを特徴とする配線基板。

【0034】(付記8) 付記2記載の配線基板におい

て、前記基板の第1の面上に前記電極と導通する接続パッド若しくは前記接続パッドの表面にピン状突起を形成してなるピンパッドを含む薄膜回路層を有することを特徴とする配線基板。

【0035】(付記9) 付記8記載の配線基板複数個が、下段の該配線基板の前記接続パッド若しくはピンパッドと上段の前記配線基板の前記導体ボールとが接合するように積層されてなることを特徴とする配線基板。

【0036】(付記10) 付記7乃至9のいずれかに記載の配線基板に半導体チップを搭載してなることを特徴とする半導体装置。

【0037】(付記11) 付記3記載の配線基板の製造方法において、前記穴内壁に形成された絶縁膜上に導体膜を被着する工程の後に、前記穴の中間部から底部にかけてシリコン酸化膜若しくはシリコン窒化膜を前記導体膜上に被着する工程を有することを特徴とする配線基板の製造方法。

【0038】

【発明の効果】以上説明したように、本発明によれば、高速で動作するLSIの実装に対応できるとともに多層化が容易であり、更に実装後の補修が容易なインターポーザとその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明のインターポーザの第1の実施の形態を示す要部断面図である。

【図2】 本発明のインターポーザの製造方法を示す要部断面図である。

【図3】 図2の製造方法の変形例を示す要部断面図である。

【図4】 本発明のインターポーザの第2の実施の形態を示す要部断面図である。

【図5】 本発明のインターポーザの第3の実施の形態を示す要部断面図である。

【図6】 本発明のインターポーザの第4の実施の形態を示す要部断面図である。

【図7】 従来例を示す要部断面図である。

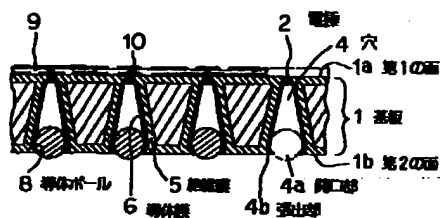
【符号の説明】

- 1 基板, 1a 第1の面, 1b 第2の面
- 2 電極
- 3 レジスト膜
- 4 穴, 4a 開口部, 4b 張出部
- 5 絶縁膜
- 6 導体膜
- 7 導体ペースト
- 8, 8A, 8B 導体ボール
- 9 薄膜回路層
- 10 接続パッド
- 11 濡れ防止膜
- 12 ピン付パッド
- 21, 23 第1のインターポーザ

## 22, 24 第2のインターポーズ

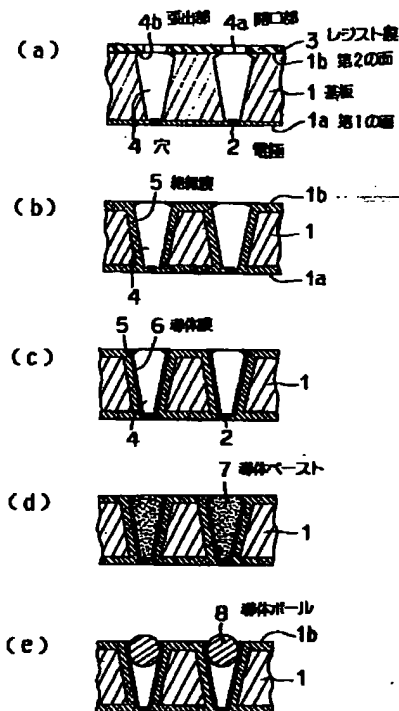
【図1】

本発明のインターポーザの第1の実施の形態を示す要部断面図



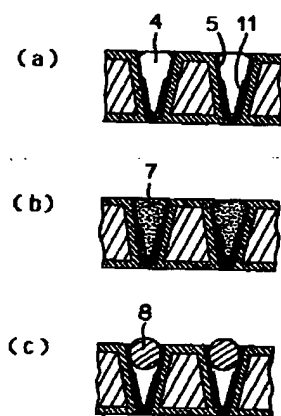
【図2】

本発明のインターポーザの製造方法を示す要部断面図



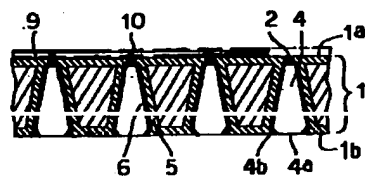
【図3】

図2の製造方法の変形例を示す要部断面図



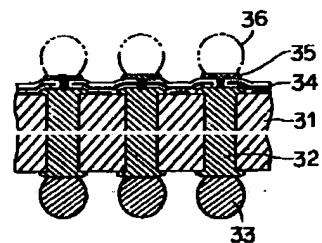
【図4】

本発明のインターポーザの第2の実施の形態を示す要部断面図



【図7】

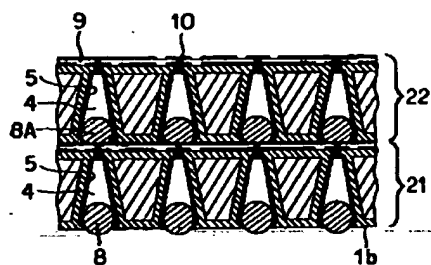
### 從來例先示す要部断面図





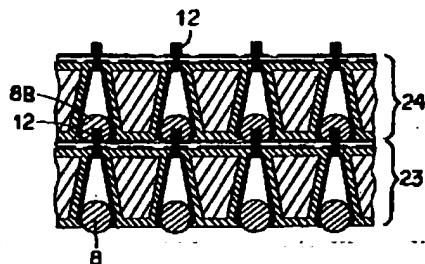
【図5】

本発明のインターポータの第3の実施の形態を示す要部断面図



【図6】

本発明のインターポータの第4の実施の形態を示す要部断面図



フロントページの続き

(72)発明者 今中 佳彦  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

Fターム(参考) 5E317 AA24 BB12 BB13 BB14 CC25  
 CC31 CD32 GG16